

УДК 621.382

## ПРИЕМ И СИНХРОНИЗАЦИЯ ДАННЫХ В ЦИФРОВЫХ ПОСЛЕДОВАТЕЛЬНЫХ ИНТЕРФЕЙСАХ С ИСПОЛЬЗОВАНИЕМ МНОГОУРОВНЕВЫХ СИГНАЛОВ

**Н.М. Горшкова**, старший научный сотрудник Института проблем проектирования в микроэлектронике (ИППМ) РАН, к.т.н.; gorshkovan@bk.ru

**Ю.Ф. Адамов**, заведующий сектором ИППМ РАН, д.т.н.; adamov@ippm.ru

**А.В. Братов**, ведущий инженер компании ADSANTEC (Калифорния, США)

**А.А. Грюншпан**, ведущий инженер компании ADSANTEC (Калифорния, США)

**Ключевые слова:** последовательный интерфейс, многоуровневый сигнал, синхронизация потока данных, технология кремний-германий.

**Введение.** Цифровые последовательные интерфейсы обеспечивают наибольшую скорость передачи информации при наименьших затратах энергии. В большинстве стандартов для систем последовательной передачи данных предусмотрено включение в информационный поток дополнительной служебной информации для синхронизации этого потока [1–6]. Дополнительные служебные сигналы создают особые проблемы при одновременной передаче информации по нескольким каналам.

Структура информационного пакета обычно зависит от его содержания, и общая скорость передачи сообщения определяется самым медленным и загруженным каналом. При этом сложность аппаратуры передачи и приема информации значительно увеличивается.

Известны методы передачи информации многоуровневым сигналом. В этом случае сигнал синхронизации передается одним из уровней. Для формирования и регистрации многоуровневых сигналов в линии связи требуются транзисторы с высокими параметрами усиления и быстродействия. Кремниевые биполярные и КМОП-транзисторы создают искажения, зависящие от амплитуды сигнала.

В статье исследована возможность формирования, приема и синхронизации последовательного информационного потока многоуровневых сигналов с использованием гетероструктурных биполярных транзисторов со слоями кремний-германий (SiGe) в области базы.

**Передача синхросигнала дополнительным уровнем.** Информация передается по согласованной экранированной парафазной линии связи. Импеданс линии для парафазного сигнала составляет 100 Ом. Элементы согласования импеданса подключены к положительной шине питания. Логические уровни сигнала в линии определяются выходным током формирователя. При передаче синхроимпульса увеличивается амплитуда сигнала как для логического «0», так и «1». Приемник имеет два канала: информационный, регистрирующий только полярность дифференциального сигнала, и канал синхронизации – только изменение амплитуды без учета полярности. На рис. 1 показаны формы входного и выходного сигналов приемника.

Низкочастотные сигналы синхронизации поступают в блок формирователя высокочастотных сигналов с системой фазовой автоподстройки частоты.

**Приемник и передатчик многоуровневых сигналов.** Приемник является критической частью системы связи, поскольку должен достоверно идентифицировать состояние линии связи в условиях действия помех и рассогласования потенциалов общей шины в приемнике и передатчике [7]. Прием-

ник реализован с использованием БиКМОП-технологии с гетероструктурными биполярными транзисторами (ГБТ) на основе SiGe. Минимальные размеры элементов – 0,18 мкм. Граничная частота усиления ГБТ – 120 ГГц. Номинальное напряжение питания – 3,3 В. Все ключевые элементы схемы построены на биполярных транзисторах, поликремниевых резисторах и конденсаторах со структурой металл-диэлектрик-металл.

Приемник включает три основных блока: формирователь опорных напряжений (рис. 2), детектор синхросигналов (рис. 3) и детектор информационных сигналов (рис. 4). Формирователь опорных напряжений включает два интегрирующих дифференциальных усилителя, охваченных общей цепью отрицательной обратной связи. Цепь обратной связи включает истоковый повторитель на НМОП-транзисторе и резистор смещения уровня. При стационарном режиме работы в цепи обратной связи формируется постоянное напряжение, соответствующее минимальному логическому уровню входного сигнала. Выходной сигнал формирователя снимается с резистора смещения уровня. Этот выходной опорный сигнал используется в детекторе синхросигналов для выделения импульсов с большей амплитудой (рис. 3).

Детектор синхросигналов включает два компаратора напряжения, выделяющих импульсы большой амплитуды и логический элемент «ИЛИ» с парафазным выходом. Увеличение амплитуды импульса как для логического «0», так и «1» приводит к появлению импульса на выходе детектора синхросигналов.

Детектор информационных сигналов включает входной дифференциальный каскад с общей базой, источник базового тока и выходной формирователь с триггером Шмитта (рис. 4). Источник базового тока с «токовым зеркалом» задает максимальный ток входного транзистора, который должен быть больше тока триггера Шмитта. Логические уровни

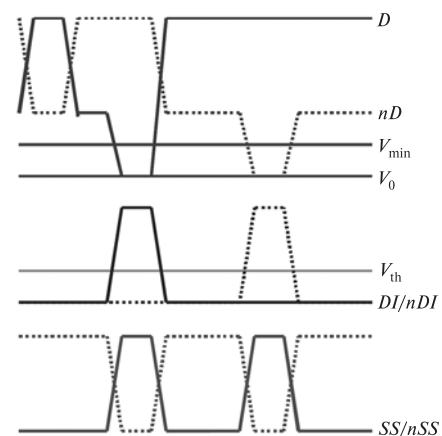


Рис. 1

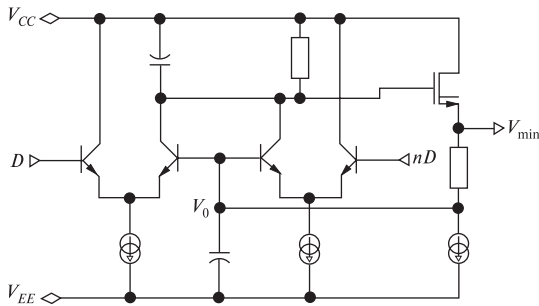


Рис. 2

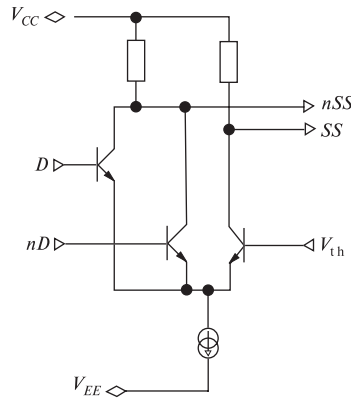


Рис. 3

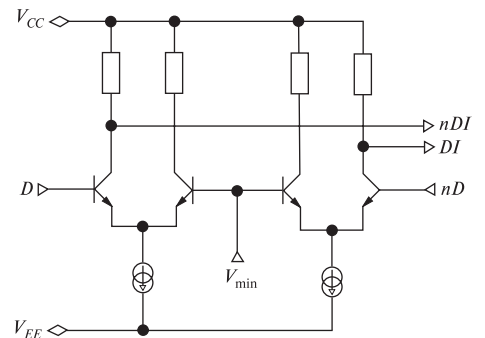


Рис. 4

выходного сигнала детектора не зависят от уровней и логического перепада входных сигналов.

Формирователь выходных сигналов построен на двухуровневых переключателях тока. Переключатель верхнего уровня управляется информационным парафазным сигналом, переключатель нижнего уровня – парафазным синхросигналом (он же модулирует амплитуду выходного сигнала). Согласование импедансов приемника и передатчика осуществляется на обоих концах линии связи.

**Экспериментальные результаты.** Описанные приемник и передатчик использованы в микросхемах мультиплексора из 16 каналов в один канал и демультимплексора из одного канала в 16. Микросхемы обеспечивают преобразование и синхронизацию последовательных и параллельных информационных потоков со скоростью до 8 Гбит/с. Микросхемы требуют один источник питания напряжением +3,3 В и потребляют около 500 мВт каждая.

**Заключение.** Синхронизация информационных потоков в последовательных интерфейсах эффективно осуществляется с помощью метода многоуровневых сигналов. Современные технологии с применением гетероструктурных биполярных транзисторов позволяют реализовать интерфейсы

со скоростью передачи 8 Гбит/с и более при затратах энергии около 60 пДж/бит.

Авторы благодарят президента компании *Advanced Science and Novel Technology* В.В. Кацмана за возможность реализовать свои идеи и разработки в реальных проектах.

ЛИТЕРАТУРА

1. Universal Serial Bus Specification. Rev 2.0. – April 27, 2000.
2. InfiniBand™ Architecture Specification. – Nov. 6, 2002. – Vol.1, Rel. 1.1.
3. RapidIOTM. Interconnect Specification. Part 6: 1x/4x LP-Serial Physical Layer. – Rev 1.2, 6/2002.
4. IEEE Std. 802.3ae-2002// www.standards.ieee.org
5. Bushehry E., Bratov V., Staroselsky V. et al. Ultra-Low Power Source Coupled FET Logic gate configuration in GaAs MESFET Technology // Electronics Letters. – January 2000. – Vol .36. – № 1. – P.36–38.
6. Bratov V., Binkley J., Katzman V., Choma J. Architecture and Implementation of a Low-Power LVDS Output Buffer for High-Speed Applications// IEEE Trans. on Circuits and Systems I. – Oct. 2006. – Vol. 53, № 10. – P. 2101–2108.
7. Bratov V., Binkley J., Katzman V. et al. Universal Input Buffer for Programmable Logic Devices / 9th MAPLD International conference, Washington, DC. – September 26 – 28, 2006.

Получено 07.07.11